

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

**Defective images within this document are accurate representations of the original documents submitted by the applicant.**

**Defects in the images may include (but are not limited to):**

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

English-language abstract of Korean publication number 98-075153

A method for planarizing an insulating interlayer in a semiconductor device is disclosed. According to an embodiment of this invention, insulating material having an excellent reflowability is deposited on the insulating interlayer, so that a scratch formed on a surface of the insulating interlayer by a CMP process is filled with the insulating material. Accordingly, defects in the planarization may be prevented. As a result, in case a conductive pad layer is formed on the resultant, conductive material is prevented from remaining on the insulating interlayer. Therefore, a pattern bridge due to the remaining conductive material is not generated.

AM

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.<sup>5</sup>

H01L 21/302

(11) 공개번호 특1998-075153

(43) 공개일자 1998년 11월 16일

(21) 출원번호 특1997-011267

(22) 출원일자 1997년 03월 28일

(71) 출원인 삼성전자 주식회사 윤종용

(72) 발명자 손홍성

경기도 수원시 팔달구 매탄동 416번지

송창용

경기도 수원시 권선구 권선동 두산동아아파트 103동 206호

이상호

경기도 수원시 팔달구 우만동 551-25

심사청구 : 없음

(54) 반도체장치의 평탄화 방법

요약

본 발명은 반도체장치의 평탄화방법에 관해 개시한다. 본 발명의 실시예에 의한 반도체장치의 평탄화 방법에서는 CMP공정에서 층간절연막 상에 형성되는 스크래치를 리플로우 특성이 우수한 절연물질을 사용하여 채움으로서 평탄화된 결과면에서 흠결을 제거할 수 있다. 이와 같이 평탄화된 결과물에서 스크래치와 같은 흠결을 제거함으로써 후속 도전성 패드층 형성공정에서 도전성 패드층사이에 도전성 물질이 잔류되는 것을 방지할 수 있고, 따라서 잔류 도전성 물질로 인한 도전성 패드층간의 브리지 현상이 예방되어 반도체장치가 무력화되는 것을 방지할 수 있다.

도표도

도5

명세서

도면의 간단한 설명

도 1 및 도 2는 종래 기술에 의한 반도체장치의 제조공정에서의 중간절연막의 표면의 평탄화 단계를 단계별로 나타낸 도면들이다.

도 3 및 도 4는 각각 종래 기술에 의한 반도체장치의 제조공정에서의 중간절연막의 표면 평탄화과정에서 중간절연막의 표면에 형성되는 스크래치의 단면 및 평면도이다.

도 5는 본 발명의 실시예에 의한 반도체장치의 제조공정에서의 중간절연막의 표면 평탄화 방법을 나타낸 도면이다.

도 6은 본 발명의 실시예에 의한 반도체장치의 제조공정에서의 중간절연막의 표면 평탄화과정에서 중간절연막의 표면에 형성되는 스크래치의 처리 방법을 일예를 도시한 도면이다.

도면의 주요부분에 대한 부호설명

10:반도체기판, 12:게이트 전극,

14:게이트 스페이서,

16a:평탄화된 중간절연막,

40:리플로우 특성이 우수한 절연막.

#### **발명의 상세한 설명**

#### **발명의 목적**

#### **발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체장치의 제조공정에서의 중간절연막의 평탄화 방법에 관한 것으로서, 특히 평탄화된 중간절연막의 표면에 형성되는 스크래치의 처리방법에 관한 것이다.

반도체기술의 발전과 함께 반도체장치의 집적기술도 나날이 발전하고 있다. 반도체장치가 고집적화되는 경우 기판의 단위 면적당에 형성되는 반도체소자들의 수가 급격히 증가되므로 기존의 방식처럼 반도체소자들을 수평적방식으로 형성할 수가 없게된다. 이에 따라 수평적으로 웨이퍼상에서 반도체소자들이 점유하는 면적을 줄이면서 반도체장치를 고집적화하기 위해서, 수직적으로 반도체소자들을 적층하는 방식으로 반도체장치를 구성하고 있다. 이와 같은 반도체장치의 제조방식의 전환에 따라 반도체장치의 집적도는 높일 수 있으나, 수직단차발생이라는 새로운 그러나 어느정도는 예상한 문제가 발생되고 있다. 예를 들면, 도 1에 도시된 바와 같이 기판에 게이트 전극(12)을 형성하고 그 측면에 게이트 스페이서(spacer)(14)를 형성한 다음 소오스 및 드레인 영역(도시하지 않음)을 형성하여 통상적인 트랜지스터를 형성한다. 이어서 트랜지스터가 형성된 결과를 전면에 중간절연막(16)을 형성한다. 트랜지스터는 셀 영역과 주변회로 영역에 동시에 형성되는데, 셀 영역이 주변회로영역에 비해 상대적으로 고 집적으로 형성된다. 이에 따라 중간절연막(16)을 형성하는 경우 두 영역간에는 다소의 단차가 있게 된다. 도 1에서는 두 영역간의 구별을 별도로 하지 않고 단지, 게이트 전극(12)간의 간격을 다소 넓게 하여 표시하고 있다.

고집적화 상황속에서 두 영역간의 작은 단차를 그대로 둘 경우 계속이어지는 후속 공정에서 두 영역간의 단차를 더욱 심해질 수 있다. 이러한 단차는 특히 포토공정에 상당한 장애를 초래하고 있다. 포토공정은 전체적인 평탄화 정도에 따라 노광시 빔의 세기를 동일하게 하여도 노광이 잘되는 부분과 노광이 되지 않거나 과 노광이 되는 부분이 존재하게 되는 문

제정이 있다. 그런데, 포토되는 면에 단차마져 형성되어 있다면, 정상적으로 포토공정을 진행한다는 것은 거의 불가능한 일이다.

따라서 층간절연막(16)을 형성한 후 두 영역간의 단차를 해소하기 위해 층간절연막(16)의 전면을 평탄화한다. 평탄화는 기관의 대구경화의 추세에 맞춰서 넓은 면적에 걸쳐서 평탄도가 우수한 화학적 기계적 폴리싱(Chemical Mechanical Polishing:이하, CMP라 한다)방식을 이용한다.

CMP방식은 배선과 배선중간에 절연막질을 형성하여 분리하고, 배선위에 과도하게 형성된 절연막질을 기계적인 방법으로 상대적으로 단차가 높은 곳의 절연막을 적정량 깎아내어 전체적으로 단차를 줄이는 방법이다. 현재 사용되고 있는 절연막으로는 화학기상 증착(Chemical Vapor Deposition:이하, CVD라 한다)방식으로 형성되는 산화막중에서 BPSG(Boro-Phospho Silicate Glass)막, USG(Undoped Silicate Glass)막, HDP(High Density Plasma) 산화막 및 PE-TEOS막등이 사용되고 있다. 이 막질들은 CMP공정에서 각기 다른 특성을 보이고 있다. BPSG막은 보론(BORON)과 포스포러스(Phosphorus)가 불순물로 도핑된 것으로 이것을 첨가하는 이유는 보론이나 포스포러스의 함유비율에 따라 형성후 열처리 공정에 의하여 막질이 흘러내리게 되고 이 특성에 의해 CMP적용이전이라도 어느 정도의 평탄화를 이룰 수 있기 때문이다. 그러나 BPSG막의 경우 막질의 성질이 상기한 다른 CVD산화막에 비하여 연하기 때문에 CMP공정 후 다량의 스크래치가 형성된다.

평탄화 결과 도 2에 도시된 바와 같이 표면이 평평한 층간절연막(16a)이 형성된다. 이렇게 하여 층간절연막(16)에서 두 영역간의 단차는 제거되었지만, 도 3 및 도 4에 도시된 바와 같이 새로운 문제가 발생된다. 구체적으로, 도 2를 참조하면, 층간절연막의 평탄화과정에서 사용하는 패드의 재질과 층간절연막의 일부표면(A)에 스크래치(scratch)가 형성된다. 도 3 및 도 4에는 층간절연막(16)의 평탄화과정에서 평탄화된 층간절연막(16a)의 A부분에 형성된 스크래치(18)의 단면도와 평면도가 도시되어 있는데, 알기 쉽게 하기 위해 다소과장되게 도시되어 있다. 도 3 및 도 4에 도시된 바와 같은 스크래치는 CMP공정에서 사용하는 슬러리(slurry)의 종류를 변경하거나 필터링에 의하여 어느 정도 조절하는 것이 가능하지만, 현재로는 일정정도의 안정된 공정을 유지하기 어려운 실정이다. 현재 층간절연막의 평탄화과정에서 형성되는 스크래치의 깊이는 200 Å ~ 2,000 Å 정도가 되고 개수는 적게는 수십개에서 많게는 수백개에 달한다.

현재의 반도체장치의 제조과정에서는 수직단차가 증가되므로 배선을 기관과 직접 접촉시키는 것은 단락의 위험성과 배선 저항이 증가되어 신호의 지연이 발생되기 때문에 중간단계로서 도전성 패드층을 형성하고 있다. 도전성 패드층으로 도시하지는 않았지만, 이러한 도전성 패드층은 평탄화된 층간절연막(16a)의 게이트 전극 스페이서(14)사이에 형성된다. 도전성 패드층을 형성하기 위해 먼저, 평탄화된 층간절연막(16a)의 대응하는 영역에 기관(10)의 표면을 노출시키는 패드용 콘택홀을 다수 형성한다. 이후 평탄화된 층간절연막(16a)의 전면에 콘택홀을 채우는 도전성 물질, 예컨대, 도핑된 폴리실리콘층을 형성한다. 콘택홀에 도전성 패드층을 형성하기 위해서는 평탄화된 층간절연막(16a)의 콘택홀내부를 제외한 전면에서 도핑된 폴리실리콘층을 제거해야한다. 따라서 평탄화된 층간절연막(16a)의 표면을 종말점으로 하여 도핑된 폴리실리콘층의 전면을 평탄화한다. 도핑된 폴리실리콘층은 넓은 면적에 걸쳐서 형성되어 있으므로 CMP방식을 이용하여 도핑된 폴리실리콘층을 평탄화한다.

그런데, 도핑된 폴리실리콘층을 평탄화된 층간절연막(16a)의 전면에 형성하는 과정에서 평탄화된 층간절연막(16a)에 형성된 스크래치(18)에도 도핑된 폴리실리콘층이 채워지게 된다. 스크래치(18)는 도핑된 폴리실리콘층의 CMP공정에서 최초 노출되는 평탄화된 층간절연막(16a)의 표면보다 아래에 있으므로 스크래치(18)에 채워진 도핑된 폴리실리콘층이 제거되지 않은 상태에서 평탄화된 층간절연막(16a)상에 형성된 도핑된 폴리실리콘층의 평탄화공정은 끝나게 된다. 곧, 스크래치(18)에 채워진 도핑된 폴리실리콘층은 그대로 평탄화된 층간절연막(16a)에 잔류하게 된다. 스크래치(18)에 채워진 잔류 폴리실리콘층은 인접한 도전성 패드층을 전기적으로 서로 이어주는 다리역할을 하기 때문에 결국, 배선간에 쇼트(short)를 유발시키는 원인을 제공하게 되고 반도체장치에 심각한 손상을 입혀서 장치를 무력화시키게 된다.

#### **발명이 이루고자 하는 기술적 과제**

따라서, 본 발명이 이루고자 하는 기술적 과제는 표면에 흠결을 갖지 않는 평탄화된 결과면을 제공할 수 있는 반도체장치의 평탄화방법을 제공함에 있다.

## 발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여, 본 발명에 의한 반도체장치의 평탄화 방법은 스크래치가 형성된 평탄화된 층간절연막의 전면에 리플로우 특성이 우수한 절연막을 도포하여 스크래치를 매우는 것을 특징으로 한다.

본 발명의 실시예에 따르면, 상기 리플로우 특성이 우수한 절연막으로서 BPSG막을 사용한다.

본 발명의 실시예에 따르면, 상기 리플로우 특성이 우수한 BPSG막과 같은 절연막을 1차 도포하여 상기 스크래치가 줄어들지 않을 경우 반복해서 BPSG막을 도포할 수 있다.

이렇게 함으로써, 본 발명은 평탄화된 층간절연막의 원하지 않은 영역에 도전성 물질이 잔류하는 것을 방지하여 도전성 패드층을 매개로 기판에 접촉되는 배선들이 서로 쇼트되는 것을 방지함으로써 반도체장치가 무력화되는 것을 방지할 수 있다.

이하, 본 발명의 실시예에 의한 반도체장치의 평탄화 방법을 첨부된 도면을 참조하여 상세하게 설명한다.

도 5는 본 발명의 실시예에 의한 반도체장치의 제조공정에서의 층간절연막의 표면 평탄화 방법을 나타낸 도면이다.

도 6은 본 발명의 실시예에 의한 반도체장치의 제조공정에서의 층간절연막의 표면 평탄화과정에서 층간절연막의 표면에 형성되는 스크래치의 처리 방법을 일예를 도시한 도면이다.

아래에 설명에서 종래 기술에 인용된 참조번호 또는 참조부호와 동일한 번호나 부호는 동일한 부재를 의미한다.

도 5를 참조하면, 통상의 방식으로 기판(10)에 트랜지스터를 형성한다. 이어서 상기 트랜지스터가 형성된 기판(10)의 전면에 층간절연막(도시하지 않음)을 형성한다. 서두에서 언급한 바와 같은 이유로 상기 층간절연막의 표면에는 단차가 존재한다. 이 단차를 해소하기 위해 CMP방식으로 상기 층간절연막의 전면을 폴리싱한다. 상기 층간절연막은 평탄화된 층간절연막(16a)으로 형성된다. 상기 평탄화된 층간절연막(16a)의 소정의 영역(42)에는 CMP공정에서 사용하는 재료들로 인해 스크래치(18)가 형성된다. 도 6은 상기 소정의 영역(42)을 확대도시한 도면으로서 상기 스크래치(18)의 일예를 볼 수 있다.

상기 스크래치(18)를 매우기 위해 상기 평탄화된 층간절연막(16a)의 전면에 리플로우(reflow)특성이 우수한 절연막(40)을 도포한다. 상기 절연막(40)으로는 BPSG막을 사용한다. 상기 BPSG막의 리플로우 특성으로 인해 상기 평탄화된 층간절연막(16a)의 전면에 상기 스크래치를 채우는 소정의 두께의 BPSG막이 평평하게 도포된다. 상기 스크래치(18)에 상기 리플로우 특성이 우수한 절연막(40)이 채워진 상태는 도 6에서 볼 수 있다. 도 6을 참조하면, 상기 절연막(40)을 도포함으로써 상기 스크래치가 절연막(40)으로 채워져서 상기 절연막(40)의 상기 평탄화된 층간절연막(16a)의 상기 스크래치(18)가 형성된 영역에 대응하는 표면에는 상기 스크래치(18)와 같은 홈결이 다시 형성되지 않음을 알 수 있다. 결과적으로 상기 스크래치(18)가 형성된 층간절연막(16a)의 전면을 리플로우 특성이 우수한 절연물질로 도포함으로써 스크래치가 제거된 평탄면을 얻을 수 있다. 이후 도전성 패드층을 형성하기 위한 콘택홀 형성공정과 도전성 패드층 형성공정을 진행하더라도 상기 도전성 패드층간에는 잔류 도전성물질이 존재하지 않으므로 브리지와 같은 부작용이 발생되지 않는다. 상기 절연막(40) 형성후에 상기 스크래치(18)가 형성된 영역에 스크래치의 영향이 남아 있을 경우에는 반복해서 상기 절연막(40)을 도포할 수도 있다.

## 발명의 효과

이와 같이 본 발명의 실시예에 의한 반도체장치의 평탄화 방법에서는 CMP공정에서 자체적으로 형성되는 스크래치를 리플로우 특성이 우수한 절연물질을 사용하여 채움으로서 평탄화된 결과면에서 홈결을 제거할 수 있다. 이와 같이 평탄화된 결과물에서 스크래치와 같은 홈결을 제거함으로써 후속 도전성 패드층 형성공정에서 도전성 패드층사이에 도전성 물질이 잔류되는 것을 방지할 수 있고, 따라서 잔류 도전성 물질로 인한 도전성 패드층간의 브리지 현상이 예방되어 반도체장치

가 무력화되는 것을 방지할 수 있다.

본 발명은 상기 실시예에 한정되지 않으며, 많은 변형이 본 발명의 기술적 사상내에서 당분야에서의 통상의 지식을 가진 자에 의하여 실시가능함은 명백하다.

#### (57) 청구의 범위

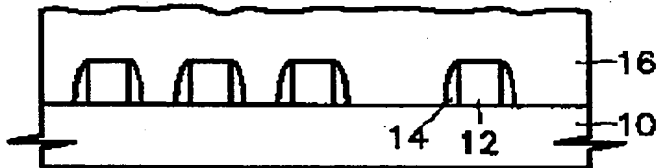
청구항 1. 스크래치(scratch)가 형성된 평탄화된 총간절연막의 전면에 리플로우 특성이 있는 절연막을 도포하여 스크래치를 매우는 것을 특징으로 하는 반도체장치의 평탄화 방법.

청구항 2. 제 1 항에 있어서, 상기 리플로우 특성이 우수한 절연막으로서 BPSG막을 사용하는 것을 특징으로 하는 반도체장치의 평탄화 방법.

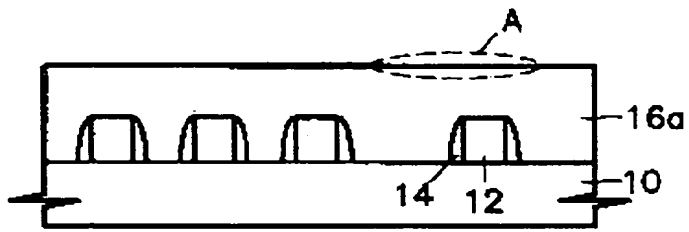
청구항 3. 제 1 항에 있어서, 상기 리플로우 특성이 우수한 BPSG막과 같은 절연막을 1차 도포하여 상기 스크래치가 줄어들지 않을 경우 반복해서 상기 BPSG막을 도포하는 것을 특징으로 하는 반도체장치의 평탄화 방법.

#### 도면

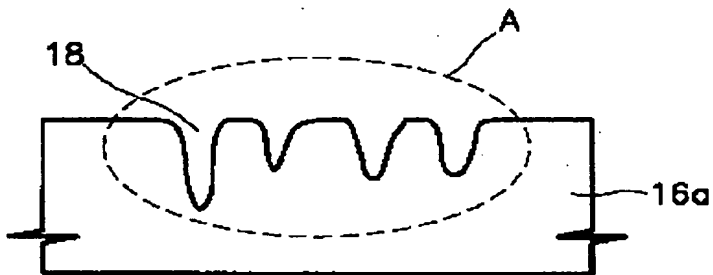
도면1



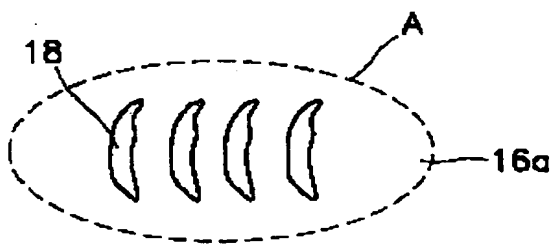
도면2



도면3



도면4



도면5